

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Concise of Statement - Japanese Utility Model Laid-Open 62-126848

Title: Pixel Driving Thin Film Transistor

Publication Date: August 12, 1987

A pixel driving thin film transistor comprises: a data line for inputting data signals; a timing line for inputting timing lines; a thin film transistor formed on an active matrix substrate and at an intersection point of the data line and the timing line, two or more thin film transistors are connected in parallel each other, and two pair of the parallel-connected two or more thin film transistors are further connected each other in series.

公開実用 昭和62- 126848

⑩ 日本国特許庁 (J P)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U) 昭62- 126848

⑬ Int. Cl. *

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月12日

H 01 L 27/12
G 02 F 1/133
G 09 F 9/30
H 01 L 29/78

3 2 7
3 0 2

7514-5F
8205-2H
6731-5C
8422-5F

審査請求 未請求 (全 頁)

⑮ 考案の名称 画素駆動薄膜トランジスタ

⑯ 実 願 昭61-14713

⑰ 出 願 昭61(1986)2月4日

⑱ 考 案 者 高 橋 士 良 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 考案の名称 画素駆動薄膜トランジスタ

2. 実用新案登録請求の範囲

データ信号を入力するデータ線と、タイミング信号を入力するタイミング線と、前記データ線及びタイミング線の交点に対応して薄膜トランジスタを設けてなるアクティブマトリックス基板の画素駆動用薄膜トランジスタにおいて、薄膜トランジスタ2つ以上を、並列に接続したもの2組以上を直列に接続したことを特徴とする画素駆動用薄膜トランジスタ。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は、アクティブマトリックス基板の画素駆動用薄膜トランジスタの形状構造に関する。

〔考案の概要〕

本考案は、アクティブマトリックス基板の画素

駆動用薄膜トランジスタにおいて、単体の薄膜トランジスタ2つ以上を並列に接続したものの2組以上を直列に接続したことにより、画素駆動用薄膜トランジスタに欠陥があつた場合の修正後の画素駆動用薄膜トランジスタ特性を向上させたものである。

〔従来の技術〕

従来、第2図に示されるように単体の薄膜トランジスタ2つを直列に接続したものの2組を並列に接続して画素駆動用薄膜トランジスタとしたものが知られていた。図6に模式図を示す。

〔発明が解決しようとする問題点〕

しかし、従来の画素駆動用薄膜トランジスタ（以下画素TFTとする）は、単体の薄膜トランジスタ（以下TFTとする）にピンホールショートがあり、ゲート電極4とソースドレイン領域5がショートするため欠陥になつていた場合、修正後の画素TFT特性と正常な画素TFT特性との間の特性差が大きく、アクティブマトリックス基板を用いた液晶パネルの表示品質が劣化すると

いう問題点を有していた。

そこで、本考案は従来のこのような問題点を改良するために、TFTのピンホールショートによつて欠陥となつた画素TFTの修正後の画素TFTと正常な画素TFTとの特性差を少なくすることを目的とする。

〔問題点を解決するための手段〕

上記問題点を解決するために、本考案の画素TFTは、TFT 2つ以上を並列にしたもの2組以上を直列に接続したことを特徴とする。

〔実施例〕

第1図は、本考案の実施例における画素TFTの平面図である。第1図及び第2図は倍率1000倍図であり、以下定量的に述べる場合の、TFT及び画素TFTの形状構造は第1図又は第2図に従かう。

ゲート電極4と、ソースドレイン領域5が交わる部分がTFTをなし、TFTの一連の組み合わせで画素TFTを形成する。従つて第1図においては、チャンネル幅(以下Wとする)5 μ m、チャ

ンネル長（以下 L とする） $15\mu m$ 、の T F T と $W = 7\mu m$ 、 $L = 15\mu m$ の T F T を並列に接続したもの 2 組を、直列に接続し画素 T F T となしている。図 5 に模式図を示す。

ソース、ドレイン間電圧（以上 V_{DS} ）を $2V$ 、ソース、ゲート間電圧（以下 V_{GS} ）を $20V$ としたときの T F T の特性は、 $W = 5\mu m$ 、 $L = 15\mu m$ の場合ソース、ドレイン間に流れる電流（以下 I_{DS} ）が $0.345\mu A$ で、 $W = 7\mu m$ 、 $L = 15\mu m$ の場合、 $I_{DS} = 0.403\mu A$ である。また $0 \leq V_{DS} \leq 4V$ の範囲では $I_{DS} \propto V_{DS}$ の関係が成り立つと考えてよいことが、実験からわかっている。

T F T の前記基本特性に基づき、欠陥修正による効果を本考案による画素 T F T と従来の画素 T F T との場合に分けて以下に述べる。

T F T の欠陥で修正可能なものは、T F T にピンホールショートができ、ソースドレイン領域 5 と、ゲート電極 4 がショートしてしまう欠陥である。またピンホールショートが図 1 又は図 2 で示

される画素 T F T 1つの占める領域に 2つ以上ある確率は極めて低いため、前記欠陥の原因となるピンホールシヨートは、前記領域内で 1つと考えてよい。ピンホールシヨートの形成される原因は、静電気に依るものと、プロセス上に依るものがあり、静電気に依るピンホールシヨートの場合は外観検査で 95%以上その場所の特定ができ、プロセス上の場合は、60%以上その場所の特定ができることが、工程経験上わかっている。

本考案の画素 T F T は、画素駆動用であるために、静電気によるピンホールシヨートができる確率は極めて低く、そのほとんどがプロセス上でできたピンホールシヨートである。従つて外観検査によつて欠陥 T F T を特定できる確率は 0.5 と考えれば十分である。

本考案による画素 T F T を修正した場合の IDS 期待値を計算する。

ピンホールシヨートを確認できる確率は 0.5。本考案による画素 T F T の場合は、各 T F T を単体で切断しても他の 3つの T F T は正常に動作す

るため、 $W = 7 \mu m$ 、 $L = 1.5 \mu m$ のトランジスタが欠陥品の場合、その確率 $7/12$ で $IDS = 0.485 \mu A$ 。 $W = 5 \mu m$ 、 $L = 1.5 \mu m$ のトランジスタが欠陥品の場合、その確率 $5/12$ で $IDS = 0.524 \mu A$ である。

ピンホールショートの確認できない場合の確率は 0.5 。図3に示す修正用切断6によつて修正される確率 $7/24$ で $IDS = 0.485 \mu A$ 。修正用切断6では修正されなく、次に修正用切断7によつて修正される確率 $17/24 \times 7/17$ で $IDS = 0.345 \mu A$ である。なお、修正用切断6、7及び8はレーザーによつて行なう。

ピンホールショートの確認できない場合の修正手順は前記手順によるものが最も修正によるIDS期待値が大きく、

$$\begin{aligned} IDS &= 0.5 \times (5/12 \times 0.524 + 7/12 \times 0.485) + 0.5 \times (7/24 \times 0.485 + 17/24 \times 7/17 \times 0.345) \\ &= 0.352 \mu A \end{aligned}$$

となる。

従来の画素 T F T を修正した場合の I D S 期待値を計算する。

ピンホールショットが確認できる確率は 0.5。
従来の画素 T F T の場合には、欠陥となつてゐる T F T を単体で切断することができないため、直列に直続されている T F T はペアで切り取ることになる。 $W = 7 \mu m$ 、 $L = 15 \mu m$ の T F T に欠陥がある確率 $7/12$ で $I D S = 0.345 \mu A$ 。
 $W = 5 \mu m$ 、 $L = 15 \mu m$ の T F T に欠陥がある確率 $5/12$ で $I D S = 0.403$ である。

ピンホールショットの確認できない場合の確率は、0.5。図 4 で示される修正用切断 8 によつて修正される確率 $7/12$ で $I D S = 0.345 \mu A$ 。
ピンホールショットの確認できない場合の修正手順は前記手順によるものが最も修正による I D S 期待値が大きく

$$\begin{aligned} I D S &= 0.5 \times (5/12 \times 0.403 + 7/ \\ &12 \times 0.345) + 0.5 \times 14/24 \times \\ &0.345 = 0.285 \mu A \end{aligned}$$

となる。

従つて修正を行ない得られる I D B の期待値は従来の画素 T F T に比較して 1.23 倍向上する。前記期待値は修正後直らなかつた画素 T F T も含めてあるが、実際には、直らなかつた画素 T F T は不良品となつてしまうため、直つた画素 T F T だけに注目する。

修正によつて直る確率は、本考案による画素 T F T も従来の画素 T F T も等しく 79.2% である。正常な画素 T F T の特性は $I D B = 0.748 \mu A$ であり、これに対する修正後直つた画素 T F T の特性を以下に述べる。

本考案による画素 T F T の場合、修正後直つたもののうち、26.3% が通常の 70.1% の特性を 55.3% が 64.8% の特性を、18.4% が 46.1% の特性を持つことになる。

一方従来の画素 T F T の場合、修正後直つたもののうち、26.3% が通常の 53.9% の特性を、73.7% が 46.1% の特性を持つことになる。

アクティブマトリックス基板の場合、特定の画素 T F T をタイミング信号によつて選択し、選択

された画素 T F T を通つてデータ線 1 から画素電極 3 へ流れ込むデータ信号の電流によつて表示を行なうため、前記 I D S の大きさは、重要な意味をもっている。

さらにプロセス上で形成されたピンホールショートを確認できる確率がさらに向上すれば、それに伴ない I D S の期待値も向上する。ピンホールショートを確認できる確率が 0.95 である場合には、修正によつて、画素 T F T が直る確率は 97.9 % である。本考案による画素 T F T の場合、修正後直つたもののうち 40.4 % が通常の 70.1 % の特性を、58.1 % が 64.8 % の特性を、1.5 % が 46.1 % の特性を持つことになる。一方従来の画素 T F T の場合、修正後直つたもののうち、40.4 % が通常の 53.9 % の特性を、59.6 % が 46.1 % の特性を持つことになる。

〔考案の効果〕

本発明は、以上説明したように、T F T プロセスの工程数を変えずに、T F T の形状を小変更するだけという、容易な手段によつて、画素 T F T

に欠陥があつた場合の修正後の画素 T F T 特性を大幅に向上させるという効果を有する。

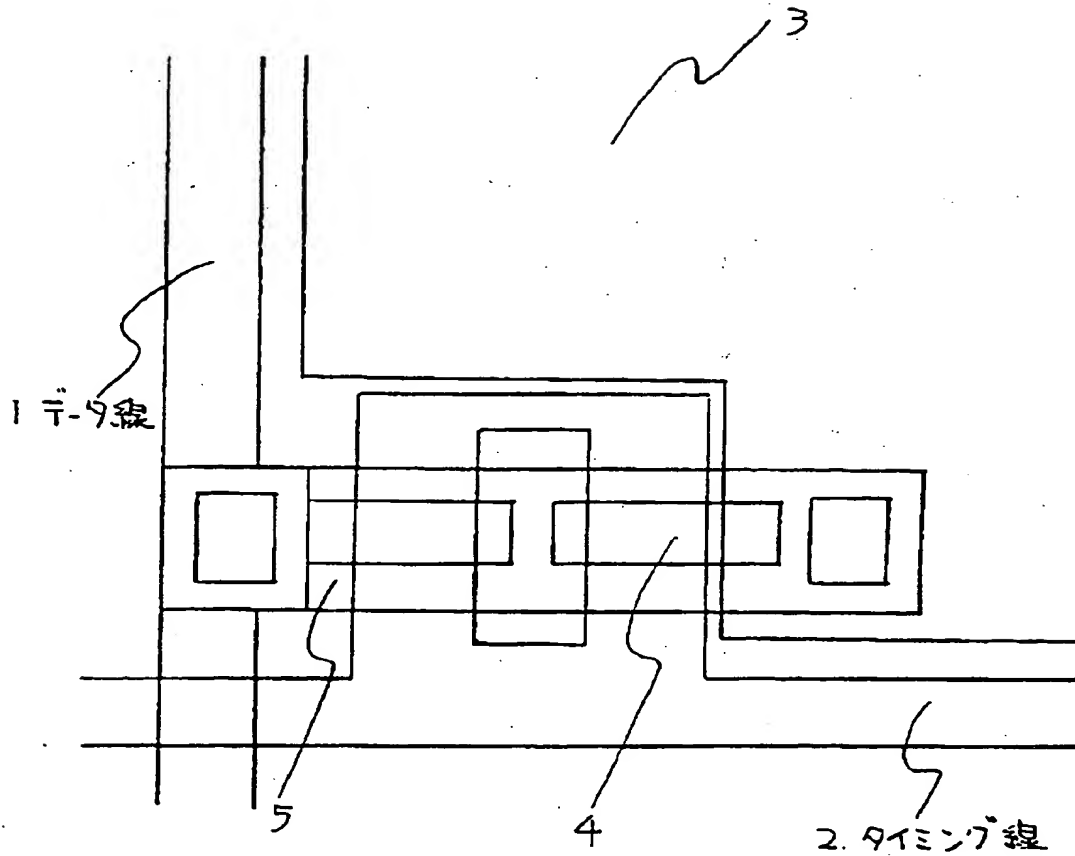
従来、修正した画素 T F T と正常な画素 T F T との画素書き込み能力に大きく差があり、画質が劣化するという問題があつたが、前記効果によつて書き込み能力の差が縮まり、画質が向上することになった。

4. 図面の簡単な説明

第 1 図は、本考案にかかる画素駆動用薄膜トランジスタの平面図、第 2 図は従来の画素駆動用薄膜トランジスタの平面図、第 3 図は本発明にかかる修正トランジスタの平面図、第 4 図は従来の修正トランジスタの平面図である。第 5 図は本考案にかかる、画素駆動用薄膜トランジスタの模式図、第 6 図は従来の画素駆動用薄膜トランジスタの模式図である。

1 … データ線

2 … タイミング線

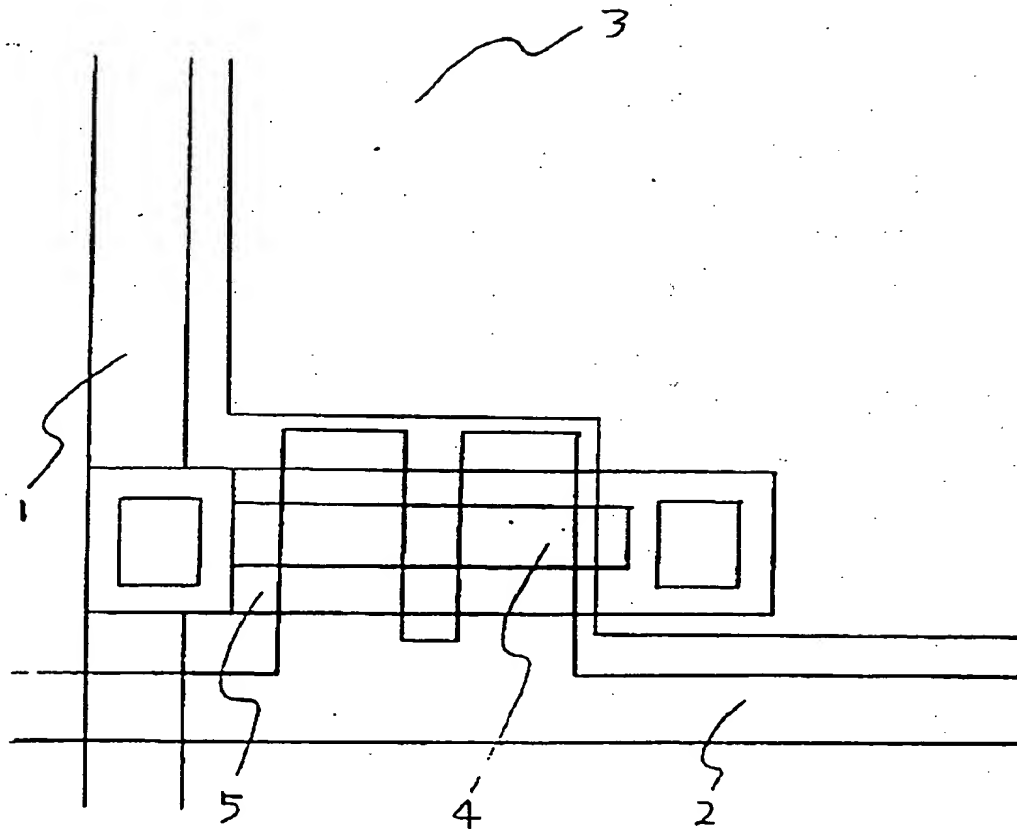


画素駆動用薄膜トランジスタの平面図

第 1 図

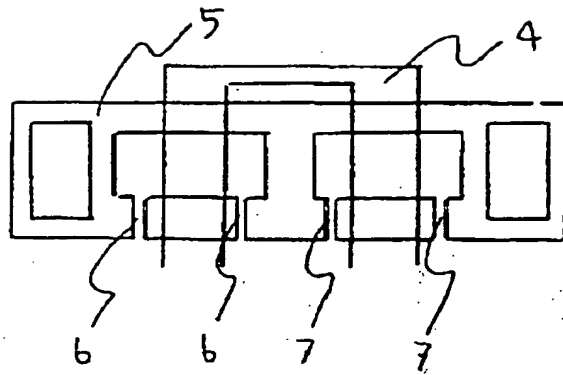
559

実開 62-126848



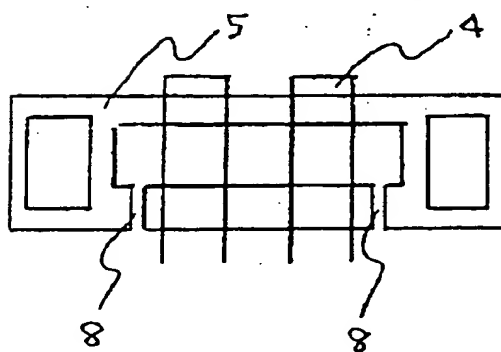
従来の画素駆動用薄膜トランジスタの平面図

第 2 図



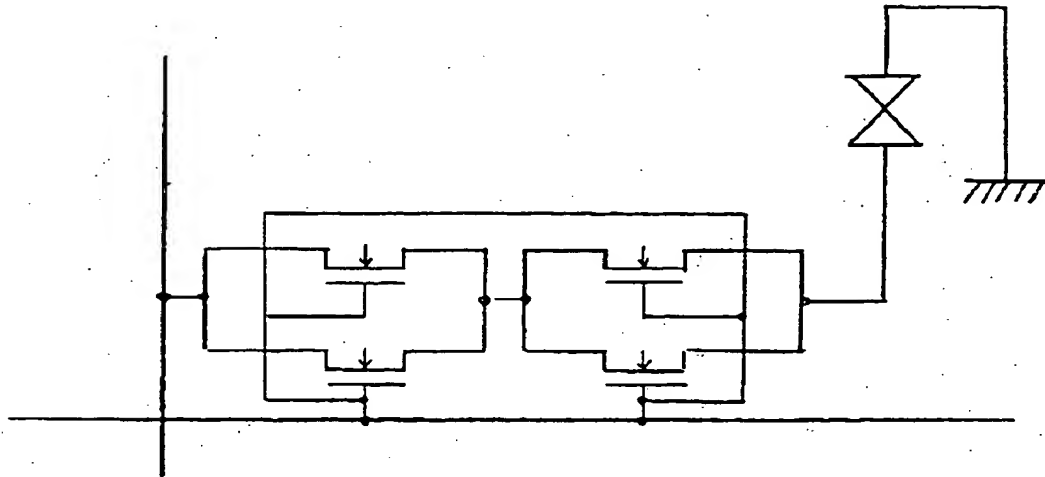
修正トランジスタの平面図

第 3 図



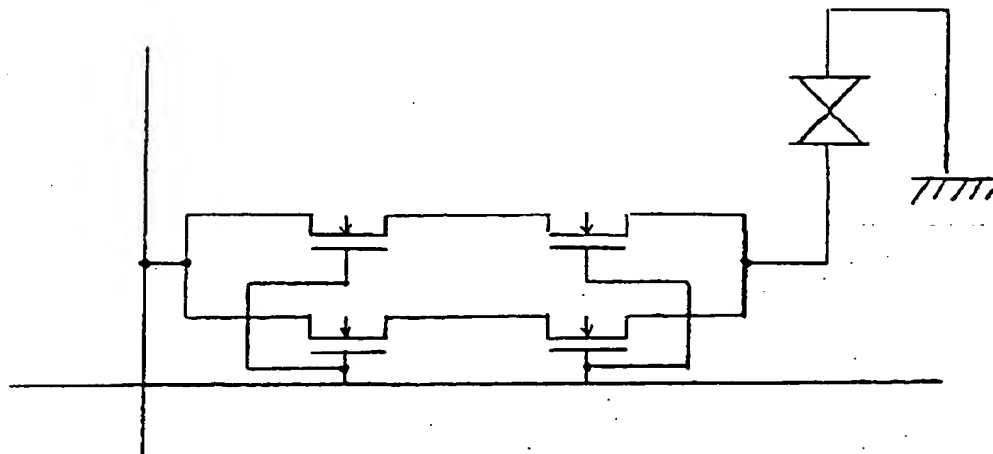
従来の修正トランジスタの平面図

第 4 図



画素TFFの模式図

第 5 図



従来画素TFFの模式図

第 6 図

562

実用新案

出願人 セイコーエプソン株式会社
代理人 万理士 最上 君 他1名